

## بررسی تأثیر توان توقف در حساسیت پرتویی نواحی مختلف یک ترانزیستور MOSFET نوع N با تکنولوژی 65-nm در ایجاد اثرات تک‌حادثه‌ای

معصومه سلیمانی‌نیا، غلامرضا رئیس‌علی\*، امیر مصلحی

پژوهشکده کاربرد پرتوها، پژوهشگاه علوم و فنون هسته‌ای، صندوق پستی ۳۴۸۶-۱۱۳۶۵، سازمان انرژی اتمی، تهران- ایران

### چکیده:

در این مقاله به بررسی تأثیر توان توقف بر ایجاد نوعی آسیب پرتویی تحت عنوان اثرات تک‌حادثه‌ای (SEE) در یک ترانزیستور MOSFET نوع N با تکنولوژی 65 نانومتری پرداخته شده است. بدین منظور ابتدا کالیبراسیون ترانزیستور مطابق با نقشه راه بین‌المللی تکنولوژی برای نیمه‌هادیها (ITRS) و با بهره‌گیری از شبیه‌ساز Victory Device انجام شد که ابزار سریع و دقیقی برای شبیه‌سازیهای سه بعدی در هندسه‌های پیچیده در تکنولوژیهای پیشرفته جدید محسوب می‌شود. برای ارزیابی صحت این مدل، منحنی مشخصه  $I_d-V_g$  با داده‌های موجود در مراجع مقایسه و مطابقت قابل قبولی میان نتایج دیده شد. سپس تغییر جریان در اثر وقوع رخداد پرتویی ناشی از ذرات باردار با توانهای توقف مختلف به سه ناحیه سورس، درین و گیت بررسی گردید. نتایج نشان دادند حساس‌ترین ناحیه نسبت به پرتوهای با توان توقفهای متفاوت، ناحیه درین ترانزیستور است. همچنین مشاهده گردید با افزایش توان توقف پرتو، دامنه و عرض پالس ایجاد شده افزایش می‌یابد.

**کلید واژه‌ها:** توان توقف، حساسیت پرتویی، ترانزیستور MOSFET نوع N با تکنولوژی 65 نانومتری، اثرات تک‌حادثه‌ای

## An investigation on the effect of stopping power on the radiation sensitivity of different regions of a 65-nm N-MOSFET in inducing Single Event Effects

M. Soleimaninia, G. Raisali\*, A. Moslehi

Radiation Applications Research School, Nuclear Science and Technology Research Institute, AEOI,  
P.O. Box: 11365-3486, Tehran, Iran

### Abstract:

In this paper, single event effect (SEE) in a 65-nm N-MOSFET is investigated. For this purpose, first, the transistor has been calibrated according to the ITRS roadmap. In this work, we used Victory Device simulator which is a fast and accurate tool in 3D complicated simulations in new advanced technologies. To evaluate the accuracy of the calibrated model, the  $I_d-V_g$  characteristic curve was obtained and compared with the data in a reference, and reasonable accordance has been observed. Then, the change in the drain current as a result of the charged particles strike on three regions of source, drain, and gate with different stopping powers was investigated. The results showed that the drain is the most sensitive region in the transistor. It was also observed that with increasing beam stopping power, the amplitude and width of the generated pulse increase.

**Keywords:** Stopping power, Radiation sensitivity, 65-nm N-MOSFET, Single Event Effect

\* Email: graisali@aeoi.org.ir

## ۱. مقدمه

امروزه توسعه صنعت میکروالکترونیک نقش مهمی در صنعتی شدن کشورها ایفا می‌کند. افزایش سرعت، کاهش توان مصرفی و نیز هزینه ساخت مدارهای مجتمع در نتیجه کاهش ابعاد، توجه کاربردهای مختلف را بیش از پیش به این صنعت معطوف کرده است. از طرفی کاهش ابعاد قطعات، پیامد افزایش حساسیت آنها در برابر پرتوها را نیز به دنبال داشته است [۱]. فرارگیری قطعات الکترونیک در معرض انواع مختلف پرتو ممکن است موجب آسیب و بروز اختلال در عملکرد آنها به صورت از دست رفتن ناگهانی اطلاعات یا از کار افتادن دائمی آنها شود [۲]. اثرات پرتو بر قطعات الکترونیک به دو گروه اثرات انباشته (Cumulative Effect) و اثرات تک‌حادثه‌ای (Single Event Effect (SEE)) تقسیم می‌شوند [۳]. اثرات انباشته به تدریج پارامترهای عملکردی قطعه را تحت تأثیر قرار می‌دهند، در حالیکه اثرات تک‌حادثه‌ای موجب بروز تغییرات ناگهانی و یا رفتارهای گذرا در مدار می‌شوند [۳]. یکی از مهمترین محیطهای پرتویی فضا است که سهم عمده محیط تابش آن را پروتونها تشکیل می‌دهند و عملکرد صحیح قطعات الکترونیک در آن بسیار حائز اهمیت است [۴]. بررسیها نشان داده‌اند حساس‌ترین قطعه الکترونیک در برابر پرتوها ترانزیستورهای MOSFET هستند [۵] که به دو نوع N و P تقسیم می‌شوند. این ترانزیستورها که در بیشتر مدارهای مجتمع مورد استفاده قرار می‌گیرند دارای سه ترمینال سورس، درین و گیت هستند. اعمال ولتاژ به گیت ترانزیستور سبب ایجاد میدان درون نیمه‌رسانا شده و به این طریق جریان عبوری بین پایه‌های درین و سورس کنترل می‌شود [۶]. در نتیجه برخورد پرتو فرودی به قطعه نیمه‌هادی، در امتداد مسیر حرکت آن جفت الکترون-حفره‌هایی تولید می‌شود و به این ترتیب پرتو انرژی خود را در طول مسیر از دست می‌دهد. مقدار میانگین انرژی بر واحد طول مسیر که پرتو ضمن عبور از قطعه از دست می‌دهد، با کمیت توان توقف توصیف می‌شود. حساس‌ترین نواحی برای جمع‌آوری جفت الکترون-حفره‌های ایجاد شده، اتصالات p-n ترانزیستور هستند. در نتیجه میدان الکتریکی بالایی که در این نواحی وجود دارد، حاملهای بار به سمت الکترودها جمع‌آوری می‌شوند [۷].

در این مقاله در ابتدا به کالیبراسیون یک ترانزیستور MOSFET از نوع N با تکنولوژی ۶۵ نانومتر پرداخته شد و به منظور تعیین حساس‌ترین ناحیه نسبت به پرتو، تغییرات جریان درین (به عنوان الکتروده خروجی) ناشی از وقوع یک رخداد پرتویی مورد بررسی قرار گرفت. تکنولوژی ۶۵ نانومتر به کمترین اندازه به کار گرفته شده در فرایند طراحی و ساخت ترانزیستور اشاره دارد که مربوط به طول کانال (حد فاصل بین سورس و درین) ترانزیستور MOSFET می‌باشد. سپس به منظور مطالعه تأثیر توان توقف بر حساسیت پرتویی نواحی مختلف ترانزیستور، چگونگی تغییرات جریان درین در نتیجه برخورد در سه ناحیه سورس، گیت و درین به ازای مقادیر متفاوت از توان توقف تحقیق شد.

## ۲. روش کار

به منظور بررسی اثر یک رخداد پرتویی بر خروجی ترانزیستور (جریان درین)، در ابتدا مدلی سه بعدی مبتنی بر تکنولوژی ۶۵ نانومتری پس از در نظر گرفتن حالتها و شرایط مختلف پیش‌بینی شد. جهت اطمینان از صحت این مدل، منحنی مشخصه  $I_d-V_g$  قطعه استخراج و مطابق با منحنی مشخصه ارائه شده در مرجع [۸] کالیبره شد. معیار کالیبراسیون، کمترین مقدار خطا نسبت به داده‌های مرجع با روش جذر میانگین مربعات بود. فرایند کالیبراسیون در این کار به کمک شبیه‌ساز Victory Device نسخه Silvaco نرم‌افزار TCAD انجام شد [۹]. این نرم‌افزار با توجه به اطلاعات ساختار و مدل‌های فیزیکی، معادلات دیفرانسیل پایه مانند پواسون، پیوستگی و تریبرد را بر پایه روش المان محدود درون قطعه حل می‌کند. در فرایند ساخت MOSFET از روش لیتوگرافی استفاده می‌شود [۱۰]. برای دستیابی به مدل سه بعدی قطعه، مجهولات زیادی پیرامون ابعاد و میزان دوپینگ نواحی سازنده وجود دارد [۱۱]، از این رو طراحی ترانزیستور با تکنولوژی ۶۵ نانومتر با استفاده از بسته طراحی فرایند<sup>۱</sup> به گونه‌ای انجام شد که در توافق با ITRS<sup>۲</sup> باشد [۱۲]. مجموعه

<sup>۱</sup> Process Design Kit (PDK)

<sup>۲</sup> International Technology Roadmap for Semiconductors

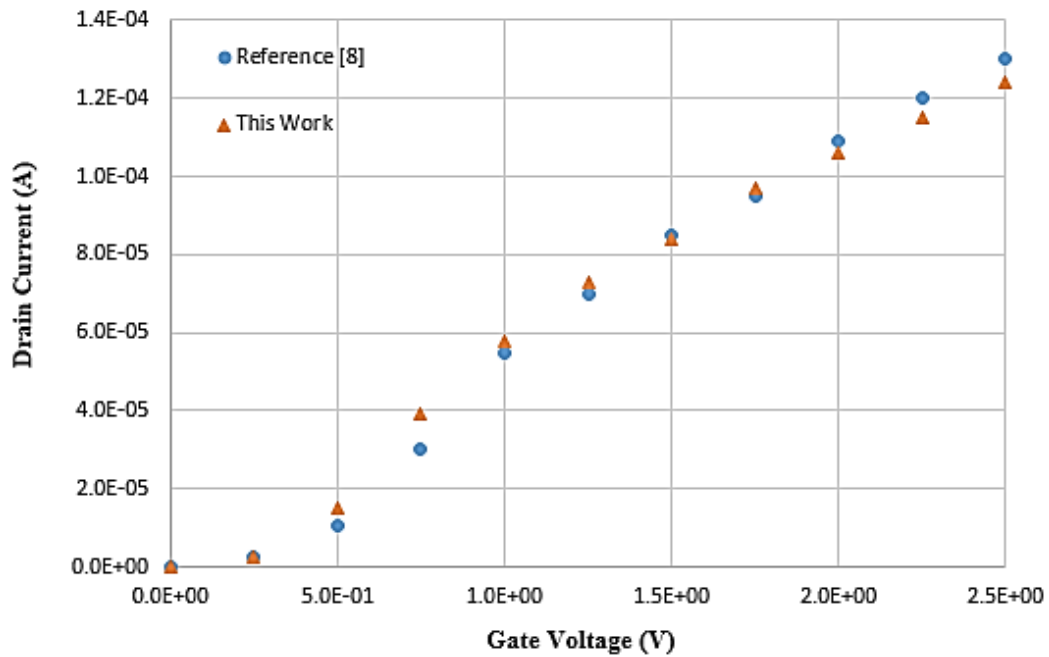
دستورالعملهایی است که در ساخت هر تکنولوژی باید مدنظر قرار گیرد. بررسی مقالات موجود نشان می‌دهد، مهمترین پارامتر خروجی در کالیبراسیون قطعه، ولتاژ آستانه است [۸]. مطابق با الگوی ارائه شده توسط ITRS، ولتاژ آستانه برای تکنولوژی ۶۵ نانومتر باید در محدوده ۰/۱۷۶ ولت تا ۰/۲۲۵ ولت باشد [۱۳].

شبیه‌سازی فرایند ساخت ترانزیستور MOSFET نوع N با به کارگیری مراحل که Kumar و همکارانش در سال ۲۰۱۸ ارائه کرده‌اند، انجام شد [۸] که در ادامه شرح داده شده است.

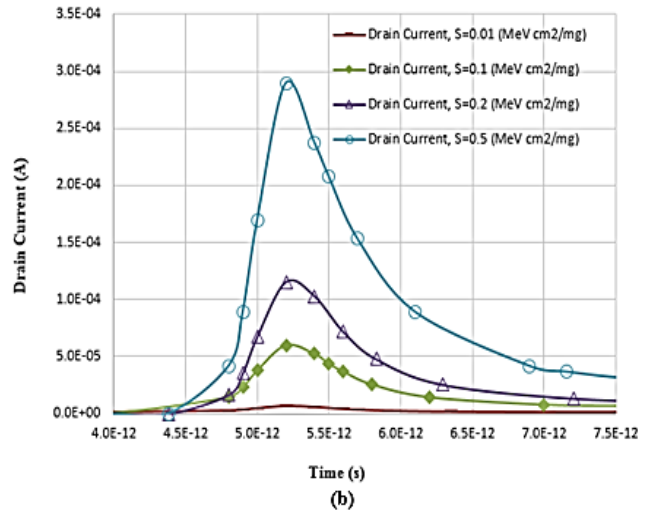
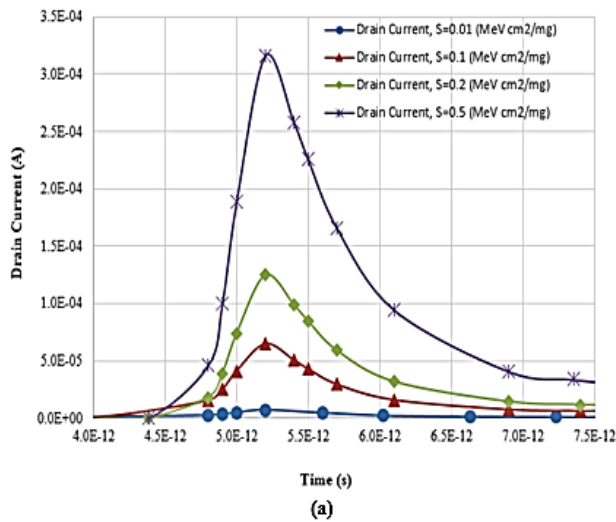
شبیه‌سازی در این کار برای زیرلایه‌ای از جنس سیلیکون و با کاشت آلایند بور به عنوان ناخالصی نوع P آغاز شد و با انجام مراحل که در ادامه می‌آید، تکمیل گردید. برای نفوذ ناخالصیها در نقاط موردنظر در ابتدا از ماسک اکسید استفاده شد و عملیات نفوذ به روش کاشت یونی انجام گرفت. به منظور رفع نقایص به وجود آمده در نتیجه این عملیات از فرایند آنیلینگ استفاده گردید. در ادامه، لایه‌ای نازک به ضخامت ۱/۸ نانومتر از جنس دی‌اکسید سیلیکون به عنوان عایق بر روی زیرلایه سیلیکونی نشانده شد. سپس پلی‌سیلیکون به عنوان ماده سازنده گیت با ضخامت ۰/۲ میکرومتر و طول ۶۵ نانومتر بر روی لایه عایق نشانده شد. پس از آن، نواحی سورس و درین در دو سمت گیت ایجاد شدند که در آنها یونهای آرسنیک به عنوان ناخالصی نوع N کاشته شدند. جهت جلوگیری از اتصال الکتریکی گیت با سورس و درین، از نیتريد سیلیکون با ضخامت ۰/۰۳ میکرون استفاده گردید. در پایان نیز الکترودهایی از جنس آلومینیوم با ضخامت ۰/۰۱ میکرومتر در نواحی سورس، گیت و درین نشانده شدند. پس از انجام کالیبراسیون با در نظر گرفتن چگالی  $2/32 \text{ g/cm}^3$  برای سیلیکون، تغییرات جریان درین به عنوان الکتروود خروجی در نتیجه برخورد پرتو به سه ناحیه درین، گیت و سورس به ازای توانهای توقف جرمی  $0.1 \text{ MeV cm}^2/\text{mg}$ ،  $0.1 \text{ MeV cm}^2/\text{mg}$ ،  $0.1 \text{ MeV cm}^2/\text{mg}$  و  $0.2 \text{ MeV cm}^2/\text{mg}$  به دست آورده و با یکدیگر مقایسه شدند.

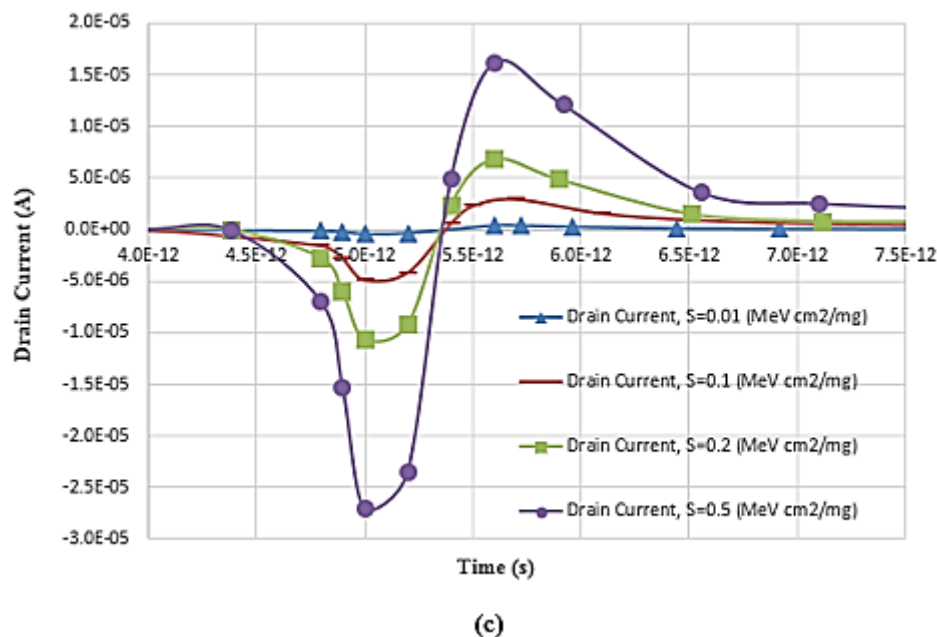
### ۳. نتایج و بحث

شکل ۱، مقایسه‌ای از داده‌های به دست آمده در این کار برای منحنی مشخصه  $I_d-V_g$  با نتایج مندرج در مرجع [۸] را برای ساختار طراحی شده فوق نشان می‌دهد که در آن، بایاس درین مقدار ثابت ۰/۱ ولت و بایاس گیت از ۰ تا ۲/۵ ولت تغییر داده شده است. ولتاژ آستانه در این پژوهش، ۰/۱۸۳ ولت به دست آمد که در محدوده تعیین شده توسط ITRS قرار دارد. مطابق با منحنی شکل ۱، جریان درین به ازای ولتاژهای کمتر از آستانه، صفر است و در ولتاژهای بالاتر از ولتاژ آستانه، جریان درین با افزایش ولتاژ گیت افزایش می‌یابد.



شکل ۱. مقایسه‌ای از منحنی مشخصه  $I_d-V_g$  به دست آمده در این تحقیق و مرجع [۸].  
نتایج تغییرات منحنی پالس جریان درین به ازای مقادیر مختلف توان توقف در شکل ۲ نشان داده شده است.

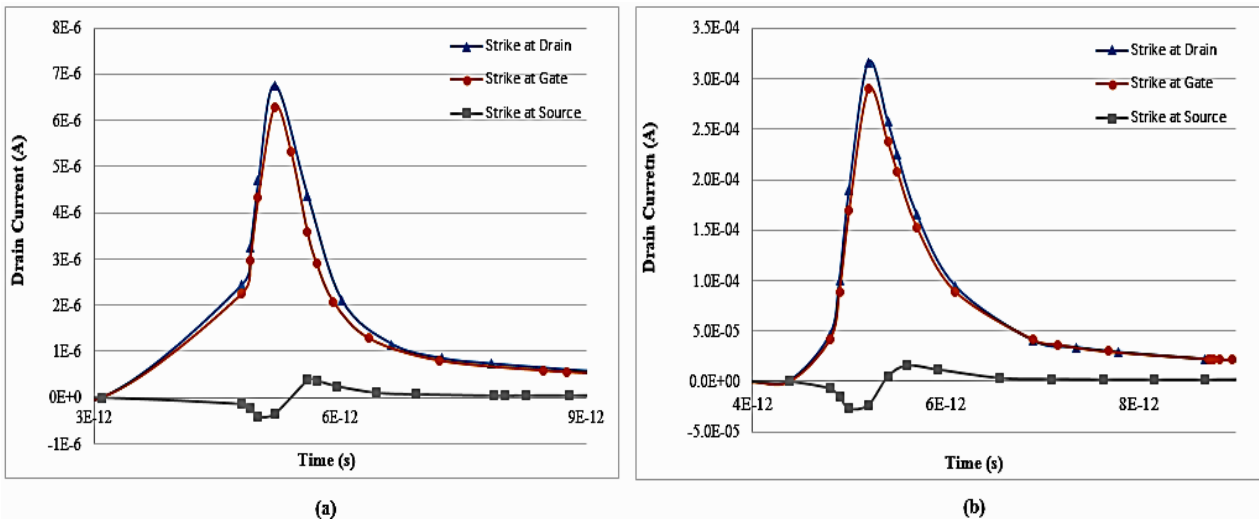




شکل ۲. تغییرات پالس جریان درین در نتیجه برخورد پرتو با مقادیر متفاوت توان توقف به درین (a)، گیت (b) و سورس (c).

همانطور که در شکل ۲ دیده می‌شود، پالس ایجاد شده در نتیجه برخورد پرتو فرودی به توان توقف پرتو بستگی دارد. به طوریکه با افزایش توان توقف، دامنه و عرض پالس افزایش می‌یابد. در توجیه این رویداد می‌توان گفت هر اندازه توان توقف پرتو فرودی بیشتر باشد، انرژی بیشتری نیز ضمن برخورد درون قطعه برجا گذاشته می‌شود و در نتیجه جفت الکترون-حفره‌های بیشتری تولید می‌شوند که سبب افزایش دامنه جریان درین در پالس خروجی می‌گردند. چنانچه اشاره شد، حساس‌ترین ناحیه برای جمع‌آوری بارها، نواحی تهی ایجاد شده در اتصالات p-n است که در میدان الکتریکی موجود در آن حاملهای بار به سمت الکترودها سوق یافته و جمع‌آوری می‌شوند. علاوه بر آن حاملهای بار ایجاد شده خارج از این ناحیه، در شرایطی که به سمت ناحیه مذکور پخش شوند نیز در ایجاد جریان مشارکت می‌کنند. افزایش تعداد حاملها سبب پخش آنها در ناحیه وسیع‌تری می‌شود که افزایش زمان جمع‌آوری و در نتیجه افزایش عرض پالس جریان را در پی خواهد داشت. نکته دیگری که در منحنیهای شکل ۲ دیده می‌شود، تفاوت پالس جریان درین در حالت برخورد پرتو فرودی به ناحیه سورس نسبت به دو ناحیه دیگر است که مربوط به اثر پارازیتی دوقطبی ایجاد شده در MOSFET در نتیجه برخورد پرتو می‌باشد. این اثر زمانی به وجود می‌آید که پرتو فرودی به یکی از دو اتصال بایاس معکوس ترانزیستور (درین-بدنه و یا سورس-بدنه) برخورد کند. در این شرایط اتصال دیگر بایاس مستقیم شده و سبب حرکت الکترونها در ناحیه سورس-بدنه-درین و منفی شدن پالس جریان می‌شود. پس از مدت زمانی که به طور معمول از مرتبه چند پیکوثانیه است، پالس جریان مثبت می‌شود که نشان‌دهنده اتمام این اثر پارازیتی است. توضیحات بیشتر در رابطه با این اثر در مراجع [۱۴] و [۱۵] وجود دارد.

به منظور تعیین حساس‌ترین ناحیه نسبت به پرتو، جریان خروجی در سه حالت برخورد به نواحی سورس، درین و گیت به ازای کمترین و بیشترین مقدار توان توقف در این کار با یکدیگر مقایسه شدند که نتایج در شکل ۳ آورده شده است.



شکل ۳. مقایسه جریان درین در نتیجه برخورد پروتو به نواحی مختلف ترانزیستور به ازای دو توان توقف (a)  $S=0.01$  ( $\text{MeV cm}^2/\text{mg}$ ) و (b)  $S=0.5$  ( $\text{MeV cm}^2/\text{mg}$ )

مقایسه منحنیهای شکل ۳ نشان می‌دهد دامنه جریان خروجی در حالت برخورد پروتو به درین نسبت به گیت با اختلاف ناچیزی بیشتر است. اختلاف جریان خروجی در شرایطی که پروتو فرودی به درین تابانده شود نسبت به حالتی که به سورس تابانده شود، به مراتب بالاتر است. به طوریکه به ازای کمترین و بیشترین توان توقف، جریان خروجی به ترتیب ۱۸ و ۲۰ برابر بیشتر می‌شود. از این رو، درین و گیت نواحی حساس تری نسبت به سورس در شرایط برخورد پروتو هستند. یک دلیل برای کاهش حساسیت در ناحیه سورس، افزایش میزان بازترکیب حاملهای ایجاد شده به دلیل طی مسافت بیشتر تا الکتروود خروجی (درین) است. دلیل دیگر، وسیع تر بودن ناحیه تهی در اطراف درین و گیت است که سبب جمع‌آوری حاملهای به وجود آمده تحت تأثیر میدان الکتریکی در الکتروودها شده و احتمال از بین رفتن آنها در نتیجه بازترکیب را کاهش داده است.

#### ۴. نتیجه‌گیری

در این مقاله، اثرات تک‌حادثه‌ای (SEE) با برخورد یک رخداد پرتویی به ترانزیستور MOSFET نوع N با تکنولوژی ۶۵ نانومتری مورد بررسی قرار گرفت. بدین منظور، نخست مدلی سه بعدی مبتنی بر تکنولوژی یاد شده مطابق با نقشه راه ITRS ارائه و پارامترهای تأثیرگذار بر تغییر رفتار منحنی مشخصه شناسایی شدند. به منظور تأیید صحت مدل برگزیده، منحنی مشخصه  $I_d-V_g$  آن با داده‌های ارائه شده در یک مقاله مرجع، مقایسه شد. برای بررسی تأثیر پروتو بر جریان درین به عنوان الکتروود خروجی، پروتو فرودی با توانهای توقف متفاوت به سه ناحیه درین، گیت و سورس تابانده شد. نتایج نشان دادند هر اندازه توان توقف بالاتر باشد، به دلیل تولید حاملهای بیشتر در ناحیه وسیع‌تر، جریان گذرای ایجاد شده در خروجی به لحاظ دامنه افزایش می‌یابد و عرض پالس نیز بیشتر می‌شود. همچنین مشخص گردید که مستقل از مقدار توان توقف، همواره درین و گیت نواحی حساس تری به پروتو نسبت به سورس هستند و حساسیت ناحیه درین با اختلاف ناچیزی از گیت هم بیشتر است که دلیل اصلی آن می‌تواند ناشی از وسیع‌تر بودن ناحیه نهی پیرامون درین باشد که جمع‌آوری حاملها را افزایش داده و موجب کاهش احتمال بازترکیب می‌گردد.





۵. مراجع

- [1]. T. Holman, *Radiation hardening techniques for analog and mixed- signal integrated circuits*, EECE 304 class lecture, (2008).
- [2]. R. C. Baumann, *Radiation- Induced Soft Errors in Advanced Semiconductor Technologies*, IEEE Trans. Dev. Mat. Rel., Vol. 5, No. 3, p.305, sept. (2005).
- [3]. A. Robert et al., *Monte Carlo simulation of single event effects*, IEEE Transactions on Nuclear Science, 1726-1746 (2010).
- [4]. T. Ersmark, *Geant4 Monte Carlo simulations of the international space station radiation environment*, PhD dissertation, Royal Institute of Technology (KTH), SE-10691 Stockholm, Sweden, (2006).
- [5]. T. Akira et al., *Radiation resistance testing of MOSFET and CMOS as a means of risk management*, IEEE Transactions on Components and Packaging Technologies 25, no. 3, 519-522 (2002).
- [6]. H. Huff and D. Gilmer, *High dielectric constant materials: VLSI MOSFET applications*, Springer Science & Business Media, (2006).
- [7]. R. C Baumann, Radiation-induced soft errors in advanced semiconductor technologies, IEEE Transactions on Device and materials reliability 5, no. 3, 305-316, (2005).
- [8]. P. Kumar, M. Vashishath, and P. K. Bansal, *An Investigation into NMOS at 65 nm using Silvaco TCAD*, International Journal of Management, Technology and Engineering, (2018).
- [9]. Victory Device User's Manual, Silvaco, Inc. 4701 Patrick Henry Drive, Bldg. 2 Santa Clara, CA 95054, (408) 567-1000, <http://www.silvaco.com>, January 26, (2015).
- [10]. N. Koo et al., *Fabrication of MOSFETs by 3D soft UV-nanoimprint*. *Microelectronic engineering*, 1; 97:85-8 (2012).
- [11]. M. Sajid et al., *Single Event Upset rate determination for 65 nm SRAM bit-cell in LEO radiation environments*, *Microelectronics Reliability* 78, 11-16, (2017).
- [12]. Berkeley Predictive Technology Model. Available: <http://ptm.asu.edu>
- [13]. International Technology Roadmap for Semiconductors, <http://www.itrs.net>, (2013).
- [14]. L. Wissel et al., *Characterization of Parasitic Bipolar Transistors in 45 nm Silicon-on-Insulator Technology*, IEEE Transactions on Nuclear Science 57, no. 6: 3234-3238, (2010).
- [15]. W.W. Yan et al., *Experimental and simulation studies of single-event transient in partially depleted SOI MOSFET*, *Chinese Physics B* 26, no. 9: 098505, (2017).